存储系统

###### **一、单选题**

1、计算机的存储器采用分级存储体系的主要目的是（  ）。

A、 便于读写数据 B、 减小机箱的体积

C、 便于系统升级 D、 解决存储容量、价格和存取速度之间的矛盾

正确答案： D

2、存储周期指的是(  )。

A、 存储器的读出时间

B、 存储器的写入时间

C、 存储器进行连续**读写**操作所允许的最短时间间隔

D、 存储器进行连续写操作所允许的最短时间间隔

正确答案： C

3、和外存相比，内存的特点是（  ）。

A、 容量大，速度快，成本低 B、 容量大，速度慢，成本高

C、 容量小，速度快，成本高 D、 容量小，速度快，成本低

正确答案： C

4、某单片机字长16位，它的存储容量64KB，若按字编址，那么它的寻址范围是（  ）。

A、 64K B、 32K C、 64KB D、 32KB

正确答案： B

5、某SRAM芯片，其存储容量为64K×16位，该芯片的地址线和数据线数目为（  )。

A、 64，16 B、 16，64 C、 64，8 D、 16，16

正确答案： D

6、某DRAM芯片，其存储容量为512K×8位，该芯片的地址线和数据线数目为（  ）。

A、 8，512 B、 512，8 C、 18，8 D、 19，8

正确答案： D

7、某机字长32位，存储容量位256MB，若按字编址，它的寻址范围是（  ）。

A、 1M B、 512KB C、 64M D、 256KB

正确答案： C

8、某计算机字长为32位，其存储容量位4GB，若按双字编址，它的寻址范围是（  ）。

A、 4G B、 0.5G C、 8G D、 2G

正确答案： B

9、双端口存储器之所以能高速进行读/写，是因为采用了（  ）。

A、 高速芯片 B、 两套相互独立的读写电路 C、 流水技术 D、 新型器件

正确答案： B

10、双端口存储器（  ）情况下会发生读/写冲突。

A、 左端口与右端口的地址码不同 B、 左端口与右端口的地址码相同

C、 左端口与右端口的数据码相同 D、 左端口与右端口的数据码不相同

正确答案： B

11、下列说法中正确的是（  ）。

A、 SRAM存储器技术提高了计算机的速度

B、 若主存由ROM和RAM组成，容量分别为和，则主存地址同需n+m位

C、 闪速存储器是一种高密度、非易失性的读/写半导体存储器

D、 存取时间是指连续两次读操作所需间隔的最小时间

正确答案： C

12、下列各类存储器中，属于易失性存储器的是（  ）。

A、 FLASH ROM B、 PROM C、 SDRAM D、 EEPROM

正确答案： C

13、下列各类存储器中，读出速度最快的存储器是（  ）。

A、 FLASH ROM B、 DDR SDRAM C、 SDR SDRAM D、 EEPROM

正确答案： B

14、下列各类存储器中，不能够随机读出的存储器是（  ）。

A、 NOR FLASH ROM B、 DDR SDRAM C、 NAND FLASH ROM D、 EEPROM

正确答案： C

15、主存储器和CPU之间增加cache的目的是（  ）。

A、 解决CPU和主存之间的速度匹配问题 B、 扩大主存储器的容量

C、 扩大CPU中通用寄存器的数量 D、 既扩大主存容量又扩大CPU通用寄存器数量

正确答案： A

16、假设某计算机的存储系统由cache和主存组成。某程序执行过程中访存2000次，其中访问cache缺失（未命中）100次，则cache的命中率是（  ）。

A、 5% B、 9.5% C、 50% D、 95%

正确答案： D

17、某计算机的cache共有16行，采用2路组相联映射方式（即每组2行）。每个主存块大小为32字节，按字节编址。主存135号单元所在主存块应装入到的cache组号是（  ）。

A、 0 B、 2 C、 4 D、 6

正确答案： C

18、下列因素下，与cache的命中率无关的是（  ）。

A、 主存的存取时间 B、 块的大小 C、 cache的组织方式 D、 cache的容量

正确答案： A

19、下列说法中正确的是（  ）。

A、 多体交叉存储器主要解决扩充容量问题

B、 cache与主存统一编址，cache的地址空间是主存地址空间的一部分

C、 主存都是由易失性的随机读写存储器构成的

D、 cache的功能全部由硬件实现

正确答案： D

20、在cache的地址映射中，若主存中的任意一块均可映射到cache内的任意一块的位置上，这种方法称为（  ）。

A、 全相联映射 B、 直接映射 C、 组相联映射 D、 混合映射

正确答案： A

21、下列关于存储系统的描述中不正确的是（  ）。

A、 每个程序的虚地址空间可以远大于实地址空间，也可以远小于实地址空间

B、 多级存储体系由cache、主存和虚拟存储器构成

C、 cache和虚拟存储器这两种存储器管理策略都利用了程序的局部性原理

D、 当cache未命中时，CPU可以直接访问主存，而外存与CPU之间则没有直接通路

正确答案： B

22、虚拟段页式存储管理方案的特点是（  ）。

A、 空间浪费大、存储共享容不易、存储保护容易、不能动态链接

B、 空间浪费小、存储共享容易、存储保护不易、不能动态链接

C、 空间浪费大、存储共享不易、存储保护容易、能动态链接

D、 空间浪费小、存储共享容易、存储保护容易、能动态链接

正确答案： D

23、采用虚拟存储器的主要目的是（  ）。

A、 提高主存储器的存储速度 B、 扩大主存储器的存储空间，且能进行自动管理和调度

C、 提高外存储器的存取速度 D、 扩大外存储器的存储空间

正确答案： B

24、常用的虚拟存储系统由（  ）两级存储器组成，其中辅存是大容量的磁表面存储器。

A、 主存-辅存 B、 cache-辅存 C、 主存-cache D、 通用寄存器-主存

正确答案： A

25、在虚拟存储器中，当程序正在执行时，由（  ）完成地址映射。

A、 程序员 B、 编译器 C、 装入程序 D、 操作系统

正确答案： D

26、在请求分页存储管理方案中，若某用户空间为16个页面，页长1KB ,现有页表如下表所示，逻辑地址0A2C（H）所对应的物理地址为（  ）。

A、 1E2C（H） B、 032C（H） C、 302C（H） D、 0E2C（H）

正确答案： D

27、计算机系统中实现虚实地址转换的核心部件是（  ）。

A、 存储器控制器 B、 cache C、 MMU D、 TLB

正确答案： C

二、简答题

1.什么是程序的局部性原理？

答：统计表明，无论是访问存取指令还是存储数据，在一个较短的时间间隔内，程序所访问的存储器地址在很大比例上集中在存储器地址空间的很小范围内。这种在某一段时间内频繁访问某一局部的存储器地址空间，而对此范围以外的地址空间则很少访问的现象称为程序的局部性原理。程序的局部性可以从两个角度分析。

1. 时间局部性：最近被访问的信息很可能还要被访问。
2. 空间局部性：最近被访问的信息邻近地址的信息也可能被访问。

2.什么是字存储单元、字地址、字节存储单元、字节地址？

答：存放一个机器字的存储单元，通常称为字存储单元，相应的单元地址称为字地址。而存放一个字节的单元称为字节存储单元，相应的地址称为字节地址。

3.存储器的技术指标

存储容量：存储容量指一个存储器中可存储的信息比特数，常用比特数（bit）或字节数（B）来表示，可以用KB、MB、GB、TB等单位。

存取时间：又称为存储器访问时间，是从存储器接收到读/写命令开始到信息被读出或写入完成所需的时间，取决于存储介质的物理特性和寻址部件的结构。

存储周期（存取周期）：是在存储器连续读写过程中一次完整的存取操作所需的时间，即CPU连续两次访问存储器的最小间隔时间。通常，存储周期略大于存取时间。

存储器带宽（数据传送率，频宽）：单位时间里存储器所存取的信息量，通常以位/秒或字节/秒做度量单位。所系统的总线宽度为W位，则带宽=W/存取周期（bit/s）。

4.什么是DRAM存储器的刷新周期？常用的刷新策略有哪两种？

答：DRAM存储器中同一行存储单元进行连续两次刷新的最大时间间隔即为刷新周期。常用的刷新策略有集中式刷新和分散式刷新两种。在集中式刷新策略中，每一个刷新周期中集中一段时间对DRAM的所有行进行刷新。在分散式刷新策略中，每一行的刷新操作被均匀地分配到刷新周期时间内。

5．什么是存储器的突发（猝发）访问？

答：突发（猝发）访问指的是在存储器同一行中对相邻的存储单元进行连续访问的方式，突发长度可以从几个字节到数千字节不等。由于访问地址是连续的，因而只需要向存储器发送一次访问地址。突发访问时先激活一行，然后按照一定的顺序依次发出列选择信号，访问相应的目标存储单元。突发方式可以消除地址建立时间及第一次存取之后的行、列线的预充电时间。在第一次存取后，一系列数据能够快速输出。

6.为了提高CPU和主存之间的数据交换速率，可以采用哪些技术？

答：为了提高CPU和主存之间的数据交换速率，可以在不同层次采用不同的技术加速存储器访问速度：

芯片技术：提高单个芯片的访问速度。可以选用更高速的半导体器件，或者改善存储器芯片内部结构和对外接口方式。例如，突发传输技术、同步DRAM技术和CDRAM技术等。

结构技术：为了解决存储器与CPU速度不匹配问题，需要改进存储器与CPU之间的连接方式，加速CPU和存储器之间的有效传输。例如，采用并行技术的双口存储器甚至式多口存储器，以及多体交叉存储器，都可以让CPU在一个周期中访问多个存储字。

系统结构技术：这是从整个存储系统的角度采用分层存储结构解决访问速度问题。例如，增加cache等。

7．简述cache的替换策略。

最不经常使用（LFU）算法：LFU算法认为应将一段时间内被访问次数最少的那行数据换出。为此，每行设置一个计数器。新行调入后从0开始计数，每访问一次，被访问行计数器增1.当需要替换时，对这些特定行的计数值进行比较，将计数值最小的行换出，同时将这些特定行的计数器都清0.这种算法将计数周期限定在两次替换之间的间隔时间内，因而不能严格反映近期访问的情况。

近期最少使用（LRU）算法：LRU算法将近期内长久未被访问或的行换出。为此，每行设置一个计数器，cache每命中一次，命中行计数器清0，其他各行计数器增1.当需要替换时，比较各特定行的计数值，将计数值最大的行换出。这种算法保护了刚复制到cache中的新数据行，符合cache工作原理，因而使cache有较高的命中率。

随机替换：从特定的行位置中随机地选取一行换出。这种策略在硬件上容易实现，且速度也比前两种策略快。缺点是随意换出的数据很可能马上又要使用，从而降低命中率和cache工作效率。但这个不足可以随着cache容量增大而减小。

8.简述cache的写操作策略。

写回法：当CPU写cache命中时，只修改cache的内容，而不立即写入主存；只有当此行被换出时才写回主存。实现这种方法时，每个cache行必须配置一个修改位，以反映此行是否被CPU修改过。当某行被换出时，根据此行修改位是1还是0，来决定将该行内容写回主存还是简单舍弃。如果CPU写cache未命中，为包含欲写字的主存块在cache分配一行，将此块整个复制到cache后对其进行修改。主存的写修改操作统一留到换出时再进行。

全写法：当写cache命中时，cache与主存同时发生写修改，因而较好地维护了cache与主存的内容的一致性。当写未命中时，只能直接向主存进行写入。但此时是否将修改过的主存块取到cache，有两种方法：一种称为WTWA法，取主存到cache并为它分配一个行位置；另一种称为WTNWA法，不取主存块到cache。

写一次法：写一次法是基于写回法并结合全写法的写策略：写命中与写未命中的处理方法和写回法基本相同，只是第一次写命中时要同时写入主存。

9、什么是转换后援缓冲器（TLB）？

答：在页式虚拟存储器中，由于页表通常在主存中，因而即使逻辑页已经在主存中，也至少要访问两次物理存储器才能实现一次访存，这将使虚拟存储器的存取时间加倍。为了避免对主存访问次数的增多，可以对页表本身实行二级缓存，把页表中最活跃的部分存放在高速存储器中。这个专用于页表缓存的高速存储部件通常称为转换后援缓冲器（TLB），又称为快表。

10、存储管理部件的主要功能和工作流程是什么？

答：存储管理部件（MMU）是系统中进行虚实地址转换的核心部件。MMU的主要功能有：在TLB的协助下完成虚实地址转换；维护TLB的控制机制；负责存储保护；在TLB失效或非法访问时向处理机发起中断；维护一个TLB失效后的再填充机制。

MMU的工作流程大致如下：CPU发出访存的虚拟地址后，MMU通过页表查找机制访问主存页表，获得映射关系；如果主存命中，MMU将虚页号变换为物理页号，产生物理地址访存；如果主存缺页，CPU将转到操作系统的页面失效程序入口，由操作系统进行调页操作。

###### **三、分析题**

1、有一个1024K×32位的存储器，由128K×8位的DRAM芯片构成。问：

（1）总共需要多少DRAM芯片？

（2）设计此存储体组成框图。

正确答案：

2、用32K×8位的EEPROM芯片组成128K×16位的只读存储器，试问：

（1）数据寄存器多少位？

（2）地址寄存器多少位？

（3）共需多少个EEPROM芯片？

（4）画出此存储器组成框图。

正确答案：

3、某16位数0x1234存放在内存地址0x6000开始的单元中，内存按字节编址。请分别说明在小端模式和大端模式中，内存地址0x6000和0x6001存放的数据值。

正确答案：

解：

小端模式：

内存地址0x6000 存放的数据是0x34，0x6001存放的数据是0x12。

大端模式：

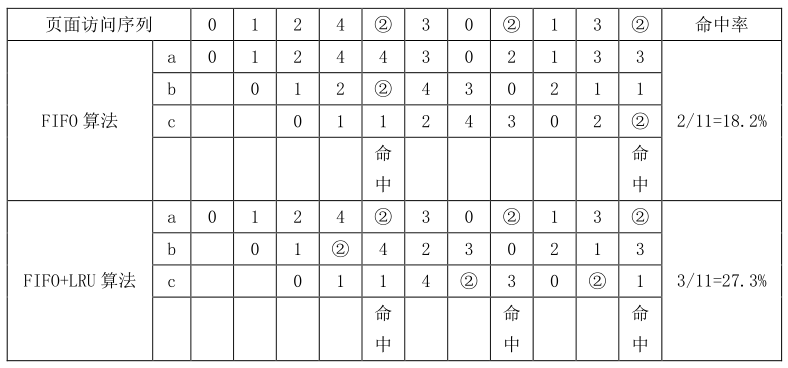
内存地址0x6000 存放的数据是0x12，0x6001存放的数据是0x34。

4、CPU执行一段程序时，cache完成存取的次数为2420次，主存完成存取的次数为80次，已知cache存储周期为40ns，主存存储周期为240ns，求cache/主存系统的效率和平均访问时间。

正确答案：

5、假设主存只允许存放a、b、c三个页面，逻辑上构成a进c出的FIFO队列。某次操作中进程访存的序列是0,1,2,4,2,3,0,2,1,3,2（虚页号）。若分别采用FIFO算法、FIFO+LRU算法，请用列表法分别求两种替换策略情况下主存的命中率。

正确答案：



说明：在FIFO算法中，FIFO队列中的页面时钟按照从a到c的顺序依次推进，页面从a位置进入队列，替换始终在页面c的位置进行。

FIFO+LRU算法是对FIFO算法的一种改进。但与FIFO算法不同的是，如果某个页面命中，则将该页面移动到FIFO队列入口位置（页面a所在的位置）。

6、某页式虚拟存储管理系统中，页大小为100字。某作业依次要访问的字地址序列是：115、228、120、88、446、102、321、432、260、167，若该作业的第0页已经装入主存，分配给该作业的主存共300字，请问：按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断？列出依次淘汰的虚页号。

正确答案：

按FIFO调度算法将产生5次缺页中断；依次淘汰的虚页号为：0、1、2。

按LRU调度算法将产生6次缺页中断；依次淘汰的虚页号为：2、0、1、3。

7.设存储器容量为32字，字长64位，模块数m=4，分别用顺序方式和交叉方式进行组织。存储周期T=200ns，数据总线宽度为64位，总线传送周期t=50ns。若连续读出4个字，问顺序存储器和交叉存储器的带宽各是多少？

解：顺序存储器和交叉存储器连续读出m=4个字的信息总量都是：

q=64bit×4=256bit

顺序存储器和交叉存储器连续读出4个字所需的时间分别是：

t2=mT=4\*200ns=800ns

t1=T+(m-1)t=200ns+3\*50ns=350ns

顺序存储器和交叉存储器的带宽分别是：

W2=q/t2=256bit÷800ns=320Mbit/s

W1=q/t1=256bit÷350ns=730Mbit/s

8.一个组相联cache由64个行组成，每组4行。主存储器包含4K个块，每块128字。请表示内存地址的格式。

解：块大小=行大小=2w个字，2w=128=27，所以w=7

每组的行数=v=4

cache的行数=uv=2d×v=2d×4=64，所以d=4

组数u=2d=24=16

主存的块数=2s=4K=22×210=212，所以s=12

标记大小=s-d=12-4=8（位）

主存地址长度=s+w=12+7=19（位）

主存寻址单元数=2s+w=219

故v=4路组相联的内存地址格式如下所示：

|  |  |  |
| --- | --- | --- |
| 标记s-d | 组号d | 字地址w |

8位 4位 7位

9.有一个处理器，主存容量1MB,字长1B，块大小16B，cache容量64KB。若cache采用全相联映射，对内存地址（B001010）16给出相应的标记和字地址。

解：块大小=行大小=24字节=2w字节，所以w=4位

主存寻址单元数=2s+w=1M=220，所以s+w=20，s=16位

主存的块数=2s=216

标记大小=s=16位

内存地址格式如下所示：

|  |  |
| --- | --- |
| 标记s | 字地址w |

16位 4位

由于内存地址（B0010）16=（1011 0000 0000 0001 0000）2

故对应的标记s=（1011 0000 0000 0001）2 字地址w=（0000）2

10.现有一处理器，基本CPI为1.0，所有访问在第一级cache命中，时钟频率为5GHz。假定访问一次主存储器的时间为100ns，其中包括所有的缺失处理。设平均每条指令在第一级cache中所产生的缺失率为2%。如果增加一个二级cache，命中或缺失的访问时间都为5ns，而且容量大到可使必须访问主存的缺失率减为0.5%，问处理器速率提高了多少？

解：必须访问主存储器的缺失损失为：100ns×5GHz=500个时钟周期

只有一级cache的机器有效CPI由下式给出：

总的CPI=基本CPI+每条指令中存储器停顿的时钟周期

如果只有一级cache，总的CPI=1.0+2%×500=11.0

对二级cache，主cache（第一级cache）中发生缺失后可以被第二级cache或者主存处理。

访问第二级cache的缺失损失为：5ns×5GHz=25个时钟周期

如果第二级cache能处理全部缺失，那么这就是整个的缺失损失。如果缺失要访问主存，那么总的缺失损失为访问第二级cache和访问主存的时间之和。

因此，对一个二级cache而言，总的CPI为基本CPI和两级cache停顿的时钟周期之和：

总的CPI=基本CPI+每条指令的一级停顿（访问二级cache）+每条指令的二级停顿（访问主存）

=1.0+2%×25+0.5%\*500=4.0

因此，有二级cache的处理器性能是没有二级cache的处理器性能的2.8倍，即

11.0÷4.0≈2.8

11、由页式虚拟存储器、TLB和cache组成的存储器层次结构中，访问存储器可能会遇到三种不同类型的缺失：cache缺失、TLB缺失和缺页。研究这三种缺失会发生一个或多个时的所有可能的组合（7种可能性）。对每种可能性，说明这种情况是否真的会发生，在什么条件下会发生？

解：下表说明了可能的发生背景以及事实上它们是否真的可能发生。这些组合中有三种是不可能的，四种是可能的。

|  |  |  |  |
| --- | --- | --- | --- |
| TLB | 页表 | cache | 可能发生吗？如果可能，发生背景是什么？ |
| 命中 | 命中 | 缺失 | 可能，但若TLB命中就无须检查页表 |
| 缺失 | 命中 | 命中 | 可能，TLB缺失，但在页表中找到表项，在cache中找到数据 |
| 缺失 | 命中 | 缺失 | 可能，TLB缺失，但在页表中找到表项，未在cache中找到数据 |
| 缺失 | 缺失 | 缺失 | 可能，TLB缺失并随之发生缺页；在cache中一定找不到数据 |
| 命中 | 缺失 | 缺失 | 不可能，如果页不在内存中，TLB不可能命中 |
| 命中 | 缺失 | 命中 | 不可能，如果页不在内存中，TLB不可能命中 |
| 缺失 | 缺失 | 命中 | 不可能，如果页不在内存中，数据不可能在cache中存在 |